

COPY OF PAPERS  
ORIGINALLY FILED

2812

Docket No.: L&L-I0178

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nollf Date: January 31, 2002

#7  
D. Scott  
82602

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Lothar Risch et al.  
Applic. No. : 09/996,279  
Filed : November 28, 2001  
Title : Double Gate MOSFET Transistor and Method for the Production Thereof  
Art Unit : 2812

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

RECEIVED  
APR 11 2002  
Technology Center 2600

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 199, based upon the German Patent Application 199 24 571.1, filed May 28, 1999.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nollf  
For Applicants

MARKUS NOLFF  
REG. NO. 37,006

Date: January 31, 2002

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/kf

RECEIVED  
MAR - 6 2002  
TP 2900 MAIL ROOM

RECEIVED  
APR 12 2002  
TECHNOLOGY CENTER 2

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

COPY OF PAPER  
ORIGINALLY FILED



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 199 24 571.1

**Anmeldetag:** 28. Mai 1999

**Anmelder/Inhaber:** Siemens Aktiengesellschaft, München/DE

**Bezeichnung:** Doppel-Gate-MOSFET-Transistor und Verfahren zu seiner Herstellung

**IPC:** H 01 L 21/336

RECEIVED  
MAR - 6 2002  
TC 2800 MAIL ROOM

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. Januar 2002  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

RECEIVED  
APR 12 2002  
TECHNOLOGY CENTER 2800

Nietiedt

# Beschreibung

## Doppel-Gate-MOSFET-Transistor und Verfahren zu seiner Herstellung

5

Die Erfindung betrifft ein Verfahren zur Herstellung eines Doppel-Gate-MOSFET-Transistors gemäß Patentanspruch 1 und einen Doppel-Gate-MOSFET-Transistor gemäß Patentanspruch 15.

10

Die voranschreitende Verkleinerung von Bulk-MOS-Transistoren wird durch die bekannten Kurzkanaleffekte in absehbarer Zeit an ihre Grenze stoßen. Das Prinzip des MOS-Transistors kann aber darüberhinaus noch weiter bis hinab zu Kanallängen von 10 nm oder sogar darunter genutzt werden. Voraussetzung ist ein weitestgehender Durchgriff des Gatepotentials durch das gesamte Kanalgebiet, was am besten bei sogenannten Doppel-Gate-MOSFETs bei sehr dünnem Si-Gebiet erreicht wird, wie in der Veröffentlichung von F.G. Pikus et al. in Appl. Phys. Lett. 71, 3661 (1997) gezeigt wurde.

20

Die Realisierung derartiger Transistoren konnte bisher nur im Labormaßstab erfolgen. So haben J. P. Colinge et al. in IEDM 90-595 ein Verfahren vorgeschlagen, bei welchem auf einem SOI-Substrat das Oxid im Bereich unter dem Transistorkanal naßchemisch entfernt und dieser Raum später mit dem Polysilizium des Rückseiten-Gates aufgefüllt wird. Dieses Verfahren hat jedoch den Nachteil, daß diese Ätzung nicht auf einen kleinen Bereich beschränkt werden kann und darüberhinaus keine Selbstjustierung mit dem Oberseiten-Gate besteht, was die elektrischen Eigenschaften verschlechtert.

30

Weiterhin haben H.-S. P. Wong et al. in IEDM 97-427 einen Prozeß vorgeschlagen, bei dem das dünne Silizium-Kanalgebiet durch epitaktisches Wachstum durch einen entsprechend dünnen Tunnel hindurch erzeugt wird. Dieser Prozeß erscheint jedoch technologisch äußerst anspruchsvoll.

35

Der vorliegenden Erfindung liegt dementsprechend die Aufgabe zugrunde, einen Doppel-Gate-MOSFET-Transistor und ein Verfahren zu seiner Herstellung anzugeben, welches einerseits eine möglichst genaue Ausrichtung der Ober- und Unterseiten-Gates zueinander erbringt und andererseits technologisch nicht zu aufwendig und schwierig ist.

Diese Aufgabe wird mit einem Verfahren nach dem Patentanspruch 1 und einem Doppel-Gate-MOSFET-Transistor nach dem Patentanspruch 15 gelöst.

Das erfindungsgemäße Verfahren weist die folgenden Verfahrensschritte auf:

- a. Bereitstellen eines Substrats, insbesondere eines Siliziumsubstrats, mit einer darauf aufgebrachtten ersten Isolationsschicht, insbesondere einer Oxidschicht, einer auf die erste Isolationsschicht aufgebrachtten ersten platzhaltenden Schicht und einer auf der ersten platzhaltenden Schicht aufgebrachtten Halbleiterschicht, insbesondere einer Siliziumschicht;
- b. Entfernen der Halbleiterschicht bis auf eine als Kanal des MOSFET vorgesehene Halbleiterschichtstruktur;
- c. Abscheiden einer zweiten platzhaltenden Schicht auf der Halbleiterschichtstruktur und der ersten platzhaltenden Schicht und Strukturieren der platzhaltenden Schichten derart, daß die Halbleiterschichtstruktur im wesentlichen vollständig in den platzhaltenden Schichten eingebettet wird;
- d. Abscheiden einer zweiten Isolationsschicht, insbesondere einer Oxidschicht, auf der Struktur der platzhaltenden Schichten;
- e. vertikales Ätzen von zwei Vertiefungen, die entlang einer Richtung angeordnet sind, die derart dimensioniert sind, daß die Halbleiterschichtstruktur sich vollständig zwischen ihnen befindet, wobei in den Vertiefungen die zweite Isolationsschicht, die erste und die zweite platzhaltende

Schicht und jeweils beidseitig ein Randabschnitt der Halbleiterschichtstruktur jeweils vollständig durchgeätzt werden;

5 f. Auffüllen der Vertiefungen mit elektrisch leitfähigem Material;

g. selektives Entfernen der platzhaltenden Schichten durch ein in die zweite Isolationsschicht geformtes Kontaktloch;

10 h. Aufbringen von dritten Isolationsschichten, insbesondere Oxidschichten, an den Innenwänden des Bereiches der entfernten platzhaltenden Schichten und auf den Oberflächen der Halbleiterschichtstruktur;

i. Einbringen eines elektrisch leitfähigen Materials in den Bereich der entfernten platzhaltenden Schichten.

15 Demnach besteht das Grundprinzip des erfindungsgemäßen Herstellungsprozesses darin, daß das Halbleitermaterial des zu bildenden Transistorkanals in ein Platzhaltermaterial eingebettet wird, welches im Verlaufe des Prozesses selektiv herausgeätzt und durch das elektrisch leitfähige Gate-

20 Elektrodenmaterial ersetzt wird. Die Kanallänge wird durch einen Ätzschritt definiert, durch den die Halbleiterschicht, also der Kanalbereich, und das Platzhaltermaterial mit ein- und derselben Maske geätzt wird.

25 Ein erfindungsgemäßer Doppel-Gate-MOSFET-Transistor weist ein Substrat, insbesondere ein Siliziumsubstrat, eine darauf aufgebrachte erste Isolationsschicht, insbesondere eine Oxidschicht, eine Halbleiterschichtstruktur, die an ihren horizontalen Oberflächen vollständig von einer auf die erste Isolationsschicht aufgebrachten Gate-Elektrode umgeben und in

30 dieser eingebettet ist, auf der ersten Isolationsschicht aufgebrachte Source- und Drainbereiche, die an gegenüberliegenden Seiten der Halbleiterschichtstruktur und der Gate-Elektrode angeordnet sind, wobei sie mit den vertikalen Oberflächen der Halbleiterschichtstruktur kontaktiert sind, eine

35 die Struktur abdeckende zweite Isolationsschicht, insbesondere eine Oxidschicht, mit mindestens einem Kontaktloch für die

Kontaktierung der Gate-Elektrode, und dritte Isolations-  
schichten zwischen der Gate-Elektrode und der Halbleiter-  
schichtstruktur und den Source- und Drainbereichen auf.

- 5 Weitere vorteilhafte Ausgestaltungen der Erfindung sind in  
den Unteransprüchen angegeben.

Im folgenden wird der Herstellungsprozeß anhand eines bevor-  
zugten Ausführungsbeispiels in Verbindung mit den Figuren nä-  
10 her erläutert. Es zeigen:

Figur 1 eine schematische Darstellung der geometrischen Ver-  
hältnisse der während des Herstellungsprozesses zu  
prozessierenden Bereiche in einer Draufsicht;

15 Figur 2 eine Querschnittsansicht entlang einer Linie A-A nach  
dem Aufbringen der für den Transistorkanal vorgesehe-  
nen Siliziumschicht;

20 Figur 3 eine Querschnittsansicht entlang einer Linie A-A nach  
dem Strukturieren der Siliziumschicht und dem Auf-  
bringen der zweiten Nitridschicht;

25 Figur 4 eine Querschnittsansicht entlang einer Linie A-A nach  
dem Aufbringen der zweiten Oxidschicht und dem Ätzen  
eines Kontaktlochs;

Figur 5 eine Querschnittsansicht entlang einer Linie B-B des  
Doppel-Gate-MOSFET.

30 Im folgenden wird der Prozeß zur Herstellung eines Doppel-  
Gate-MOSFET im einzelnen erläutert.

Gemäß Fig.2 besteht ein sogenanntes SOI-(silicon on insula-  
35 tor)Ausgangssubstrat aus einem Substrat 1 wie einem Si-Wafer,  
auf den nachfolgend eine erste Oxidschicht 2, eine erste  
platzhaltende Schicht 3 aus Siliziumnitrid (SiN) und eine

Halbleiterschicht 4, im vorliegenden Fall eine Siliziumschicht aufgebracht sind. Ein solches Ausgangssubstrat kann beispielsweise durch Waferbonding hergestellt werden, indem getrennt voneinander auf einen ersten Siliziumwafer eine Oxidschicht aufgewachsen wird und auf einen zweiten Siliziumwafer eine Nitridschicht aufgewachsen wird und die beiden Siliziumwafer an der Oxid- bzw. der Nitridschicht durch das an sich im Stand der Technik bekannte Waferbonding-Verfahren aneinander fixiert werden. Anschließend muß bei diesem Prozeß der zweite Siliziumwafer durch Polieren und/oder Ätzen auf die gewünschte Dicke gebracht werden. Alternativ zu diesem Herstellungsprozeß kann die in Fig.2 gezeigte Struktur auch durch aufeinanderfolgendes Abscheiden des gezeigten Schichtaufbaus und durch anschließendes Rekristallisieren, beispielsweise Laser-Rekristallisieren des polykristallin aufgewachsenen Siliziums erhalten werden. Es ist aber theoretisch auch denkbar, die Halbleiterschicht 4 im polykristallinen Zustand mit geringer Kristallitgröße oder sogar im amorphen Zustand zu belassen. Zwar ist die Beweglichkeit in diesem Zustand relativ stark eingeschränkt. Das geringe Volumen des Kanalgebiets und der vollständige Durchgriff des Gatepotentials läßt jedoch auch dann eine brauchbare Leistung des Bauelements erwarten. Es könnte dann bei der Herstellung auf das aufwendige Rekristallisationsverfahren verzichtet werden.

Anschließend wird die Siliziumschicht durch ein geeignetes Verfahren strukturiert, so daß eine Halbleiterschichtstruktur 4A, im vorliegenden Fall ein rechteckförmiger Bereich, davon stehenbleibt, wie er in Fig.1 durch die durchgezogene Linie gezeigt ist.

Dieser rechteckförmige Bereich wird anschließend von einer zweiten platzhaltenden Schicht 5 aus SiN überwachsen, so daß er von dem SiN-Material vollständig umschlossen ist, wie in Fig.3 dargestellt ist. Wie weiter unten ersichtlich werden wird, dient das SiN-Material als Platzhaltermaterial für die an dessen Stelle einzusetzende Gateelektrode.



Anschließend werden die platzhaltenden Schichten 3 und 5 durch ein geeignetes Verfahren derart strukturiert, daß ein Bereich davon stehenbleibt, wie er in Fig.1 durch die gestrichelte Linie gezeigt ist. Dieser Bereich weist im wesentlichen zwei rechteckförmige Abschnitte auf, die durch einen Steg miteinander verbunden sind. Der in der Darstellung der Fig.1 obere rechteckförmige Bereich enthält die eingebettete Halbleiterschichtstruktur. Außerhalb des Bereichs der gestrichelten Linie in Fig.1 liegt die erste Oxidschicht 2 an der Oberfläche.

Auf diese Struktur wird nun eine zweite Oxidschicht 6 abgeschieden und anschließend deren Oberfläche planarisiert, wie in Fig.4 zu sehen ist. Die Planarisierung kann beispielsweise durch chemisch-mechanisches Polieren erfolgen.

Anschließend werden in den in Fig.1 strichpunktierten Bereichen vertikale Vertiefungen 7A, 7B in die Struktur geätzt, wobei jeweils in den Vertiefungen 7A, 7B die erste und die zweite platzhaltende Schicht 3, 5 und jeweils beidseitig ein Randabschnitt der Halbleiterschichtstruktur 4A jeweils vollständig durchgeätzt werden, wie in Fig.5 zu sehen ist. Die strichpunktierten, zu ätzenden Bereiche liegen sich in der Draufsicht der Fig.1 auf den kurzen Seiten des rechteckförmigen Siliziumbereichs 4A gegenüber, wobei beidseits ein geringfügiger Überlapp mit dem rechteckförmigen Siliziumbereich besteht. Bei der Ätzung wird also der rechteckförmige Siliziumbereich 4A in beiden Vertiefungen 7A, 7B angeätzt. In den geätzten Vertiefungen liegen also die jeweiligen Stirnseiten des Siliziumbereichs 4A an jeweiligen Innenwänden frei. Wie ferner in Fig.5 zu erkennen ist, werden in die Tiefe die Nitridschichten 3, 5 und die Siliziumschicht 4 vollständig durchgeätzt, so daß die Oxidschicht 2 an der Oberfläche leicht angeätzt wird. Für den Ätzvorgang kann die Oxidschicht 2 auch als Ätzstoppschicht verwendet werden.

In den Vertiefungen 7A, 7B werden anschließend durch Auffüllen mit elektrisch leitfähigem Material die Source- und Drain-Bereiche hergestellt. Dieses Material kann beispielsweise hochdotiertes Poly-Silizium, ein Metall oder ein Metallsilizid sein. Die Abscheidung des Materials muß langsam erfolgen, so daß die Vertiefungen 7A, 7B nennenswert gefüllt werden, bevor die Öffnung zuwächst. Die Source- und Drain-Bereiche stehen nach diesem Verfahrensschritt somit auf beiden Seiten mit dem Siliziumbereich 4A in Kontakt. Anschließend erfolgt auch hier eine Planarisierung der Oberfläche, die beispielsweise durch Rückätzen oder chemisch-mechanisches Polieren durchgeführt werden kann.

Dann wird ein erstes Kontaktloch 8A im Bereich des unteren rechteckförmigen Abschnitts der Nitridschichten (s. Fig.1) in die Oxidschicht 6 geformt. Das Ergebnis ist in Fig.4 in einer Querschnittsansicht entlang der Linie A-A der Fig.1 gezeigt. Anschließend werden durch dieses Kontaktloch 8A die platzhaltenden Siliziumnitridschichten beispielsweise naßchemisch selektiv herausgeätzt. Als Ergebnis wird eine Struktur erhalten, in der ein freischwebender, als Kanalbereich des herzustellenden Transistors vorgesehener Si-Steg (Bezugszeichen 4A) nur an seinen Stirnseiten durch die Source- und Drain-Bereiche gehalten wird, wie gezeigt in Fig.5.

Anschließend werden Isolationsschichten 9 beispielsweise durch thermisches Oxidieren geformt. Dabei bildet sich ein relativ dünnes Gateoxid an dem Si-Steg 4A und im Falle der Verwendung von dotiertem polykristallinem Silizium für die Source- und Drain-Bereiche bildet sich aufgrund der Zunahme der Oxidwachstumsgeschwindigkeit mit dem Dotierungsgrad gleichzeitig ein dickeres thermisches Oxid an den Source- und Drain-Bereichen, wie in der Fig.5 zu erkennen ist. Auch an der Oberfläche der Source- und Drain-Bereiche wird somit ein relativ dickes thermisches Oxid gebildet.

Dann wird in den freigeätzten Bereichen, in denen sich vordem die platzhaltenden Siliziumnitridschichten 3, 5 befunden hatten, die Gateelektrode 10 gebildet. Dies erfolgt vorzugsweise durch eine CVD-Abscheidung (chemische Dampfphasenabscheidung) von hochdotiertem Poly-Silizium, gefolgt von einer Planarisierung der Oberfläche der Struktur. Die Dotierung erfolgt dabei in-situ, also während der Abscheidung, und das Dotiermaterial ist beispielsweise Phosphor, wodurch der Halbleiter n-leitend gemacht wird. Als Gateelektrode kann jedoch auch ein Metall oder ein Metallsilizid abgeschieden werden. Anschließend erfolgt wieder ein Planarisieren der Oberfläche durch Rückätzen oder chemisch-mechanisches Polieren.

Dadurch daß die Ätzung der Vertiefungen 7A, 7B mit ein- und derselben Maske durchgeführt wird, wird somit gleichzeitig die Kanallänge und die Position der Gateelektroden definiert, wodurch die Gateelektroden sehr genau zueinander ausgerichtet werden.

In dem in Fig.5 gezeigten Zustand des Bauelements sind die Source- und Drain-Bereiche noch nicht mit Metallkontakten versehen. Demnach werden schließlich noch in die Oxidschichten der Source- und Drain-Bereiche Kontaktlöcher 8B, C geformt, wie durch die punktierten Linien in der Fig.1 gezeigt. Diese Kontaktlöcher 8B, C werden schließlich metallisiert, wodurch Source- und Drain-Kontakte hergestellt sind.

## Patentansprüche

1. Verfahren zur Herstellung eines Doppel-Gate-MOSFET-Transistors,

5 g e k e n n z e i c h n e t d u r c h die Verfahrensschritte

10 a. Bereitstellen eines Substrats (1), insbesondere eines Siliziumsubstrats, mit einer darauf aufgebrachtten ersten Isolationsschicht (2), insbesondere einer Oxidschicht, einer auf die erste Isolationsschicht (2) aufgebrachtten ersten platzhaltenden Schicht (3) und einer auf der ersten platzhaltenden Schicht (3) aufgebrachtten Halbleiterschicht (4), insbesondere einer Siliziumschicht;

15 b. Entfernen der Halbleiterschicht (4) bis auf eine als Kanal des MOSFET vorgesehene Halbleiterschichtstruktur (4A);

20 c. Abscheiden einer zweiten platzhaltenden Schicht (5) auf der Halbleiterschichtstruktur (4A) und der ersten platzhaltenden Schicht (3) und Strukturieren der platzhaltenden Schichten (3, 5) derart, daß die Halbleiterschichtstruktur (4A) im wesentlichen vollständig in den platzhaltenden Schichten (3, 5) eingebettet wird;

25 d. Abscheiden einer zweiten Isolationsschicht (6), insbesondere einer Oxidschicht, auf der Struktur der platzhaltenden Schichten (3, 5);

30 e. vertikales Ätzen von zwei Vertiefungen (7A, 7B), die entlang einer Richtung angeordnet sind, die derart dimensioniert sind, daß die Halbleiterschichtstruktur (4A) sich vollständig zwischen ihnen befindet, wobei in den Vertiefungen (7A, 7B) die zweite Isolationsschicht (6), die erste und die zweite platzhaltende Schicht (3, 5) und jeweils beidseitig ein Randabschnitt der Halbleiterschichtstruktur (4A) jeweils vollständig durchgeätzt werden;

35 f. Auffüllen der Vertiefungen (7A, 7B) mit elektrisch leitfähigem Material;

g. selektives Entfernen der platzhaltenden Schichten (3, 5) durch ein in die zweite Isolationsschicht (6) geformtes Kontaktloch (8A);

h. Aufbringen von dritten Isolationsschichten (9), insbesondere Oxidschichten, an den Innenwänden des Bereiches der entfernten platzhaltenden Schichten (3, 5) und auf den Oberflächen der Halbleiterschichtstruktur (4A);

i. Einbringen eines elektrisch leitfähigen Materials in den Bereich der entfernten platzhaltenden Schichten (3, 5).

10

2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

- der Verfahrensschritt a. derart durchgeführt wird, daß
- auf das Substrat (1) nacheinander die erste Isolationsschicht (2), die erste platzhaltende Schicht (3) und die Halbleiterschicht (4) aufgebracht werden.

15

3. Verfahren nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t, daß

- die Halbleiterschicht (4) nach dem Aufbringen rekristallisiert wird, insbesondere indem sie mit einem Laserstrahl bestrahlt wird.

20

4. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

- der Verfahrensschritt a. derart durchgeführt wird, daß
- auf ein erstes Halbleitersubstrat die erste Isolationsschicht (2) aufgebracht wird und auf ein zweites Halbleitersubstrat die erste platzhaltende Schicht (3) aufgebracht wird und,
- die beiden Halbleitersubstrate insbesondere mittels Waferbonding an der Isolationsschicht (2) und der ersten platzhaltenden Schicht (3) miteinander verbunden werden,
- das zweite Halbleitersubstrat durch Reduzierung seiner Dicke in die gewünschte Halbleiterschicht (4) umgewandelt wird.

30

35

5. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

- die platzhaltenden Schichten (3, 5) in den Verfahrensschritten a. und c. durch Siliziumnitrid gebildet werden.

5

6. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

- die zweite Isolationsschicht (6) nach ihrer Abscheidung planarisiert wird.

10

7. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

- das selektive Entfernen der platzhaltenden Schichten (3, 5) im Verfahrensschritt f. durch eine in die zweite Isolationsschicht (6) geformte Öffnung (8A) durchgeführt wird.

15

8. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

- das elektrisch leitfähige Material im Verfahrensschritt e. durch dotiertes polykristallines Silizium, ein Metall oder ein Silizid gebildet werden.

20

9. Verfahren nach Anspruch 8,

d a d u r c h g e k e n n z e i c h n e t, daß

- das dotierte polykristalline Silizium durch chemische Dampfphasenabscheidung gebildet wird und die Dotierung während der Abscheidung (in-situ), insbesondere durch Arsen-Atome, vorgenommen wird.

25

10. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

- im Verfahrensschritt f. die platzhaltenden Schichten (3, 5) durch einen selektiv wirkenden naßchemischen Ätzschritt entfernt werden.

30

11. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

35

- im Verfahrensschritt g. das Aufbringen der Isolations-  
schichten (9) durch thermische Oxidation erfolgt.

12. Verfahren nach Anspruch 11,

5 d a d u r c h g e k e n n z e i c h n e t, daß

- auf der Oberfläche der Halbleiterschichtstruktur (4A) ein  
relativ dünnes Oxid und an den Innenwänden des Bereiches  
der entfernten platzhaltenden Schichten (3, 5) ein relativ  
dickes Oxid erzeugt wird.

10

13. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

- im Verfahrensschritt i. das elektrisch leitfähige Material  
durch dotiertes polykristallines Silizium, ein Metall oder  
15 ein Silizid gebildet wird.

14. Verfahren nach Anspruch 13,

d a d u r c h g e k e n n z e i c h n e t, daß

- das dotierte polykristalline Silizium durch chemische  
20 Dampfphasenabscheidung gebildet wird und die Dotierung,  
insbesondere durch Phosphor-Atome, während der Abscheidung  
(in-situ) vorgenommen wird.

15. Doppel-Gate-MOSFET-Transistor, mit

25

- einem Substrat (1), insbesondere einem Siliziumsubstrat,
- einer darauf aufgebrachtten ersten Isolationsschicht (2),  
insbesondere einer Oxidschicht,
- einer Halbleiterschichtstruktur (4A), die an ihren hori-  
zontalen Oberflächen vollständig von einer auf die erste  
30 Isolationsschicht (2) aufgebrachtten Gate-Elektrode (10)  
umgeben und in dieser eingebettet ist,
- auf der ersten Isolationsschicht (2) aufgebrachte Source-  
(7A) und Drainbereiche (7B), die an gegenüberliegenden  
Seiten der Halbleiterschichtstruktur (4A) und der Gate-  
35 Elektrode (10) angeordnet sind, wobei sie mit den vertika-  
len Oberflächen der Halbleiterschichtstruktur (4A) kontak-  
tiert sind,

- einer die Struktur abdeckenden zweiten Isolationsschicht (6), insbesondere einer Oxidschicht, mit mindestens einem Kontaktloch (8A) für die Kontaktierung der Gate-Elektrode (10),
  - 5 - dritten Isolationsschichten (9) zwischen der Gate-Elektrode (10) und der Halbleiterschichtstruktur (4A) und den Source- (7A) und Drainbereichen (7B).
16. Doppel-Gate-MOSFET-Transistor nach Anspruch 15,
- 10 d a d u r c h g e k e n n z e i c h n e t, daß
- die Gate-Elektrode (10) und/oder die Source- (7A) und Drainbereiche (7B) durch dotiertes polykristallines Silizium, ein Metall oder ein Silizid gebildet werden.



## Zusammenfassung

### Doppel-Gate-MOSFET-Transistor und Verfahren zu seiner Herstellung

5

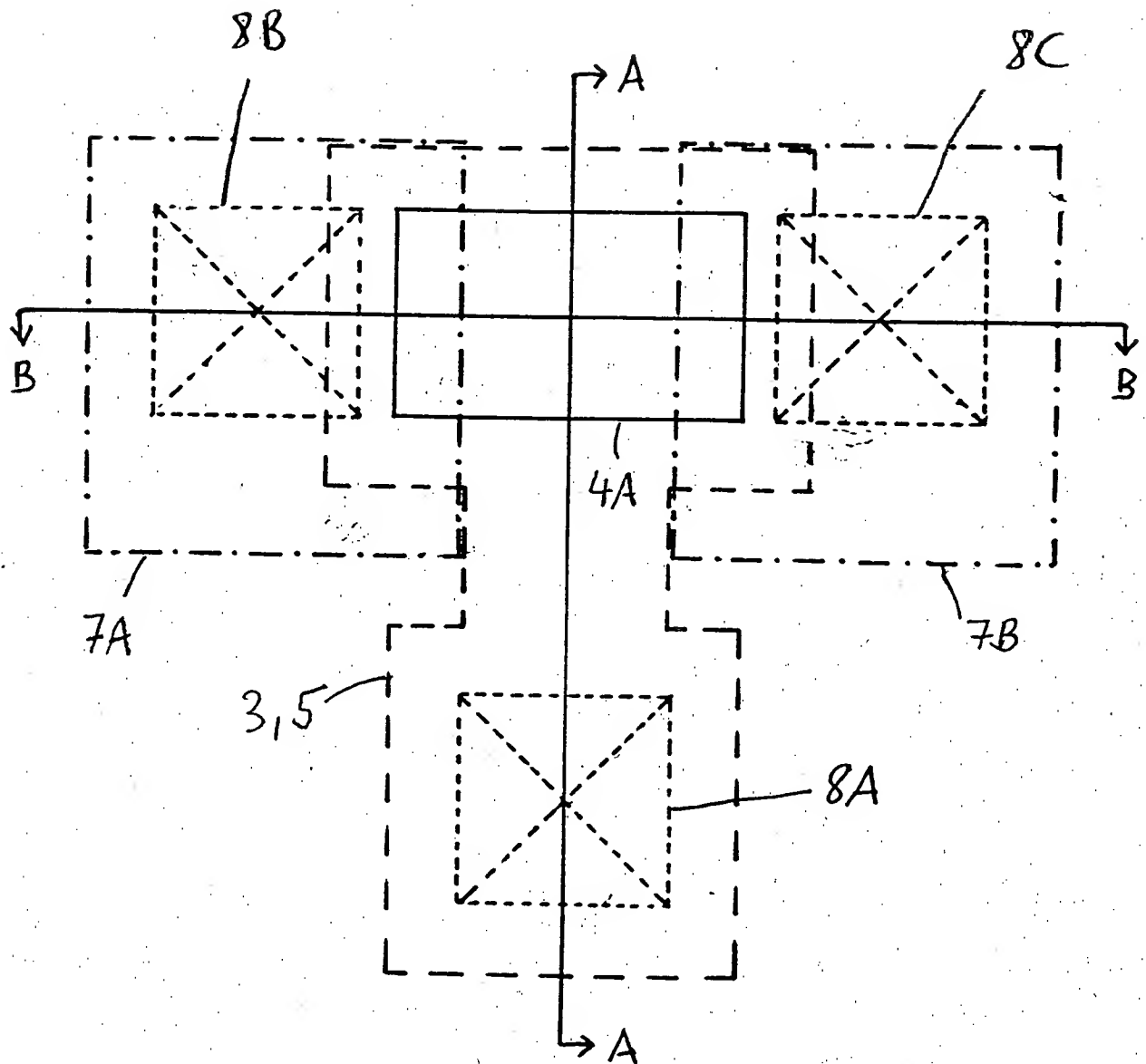
Die Erfindung beschreibt einen Doppel-Gate-MOSFET-Transistor und ein Verfahren zu seiner Herstellung. Dabei wird eine Halbleiterschichtstruktur (4A) eines zu bildenden Transistorkanals in ein Platzhaltermaterial (3, 5) eingebettet und durch Source- (7A) und Drainbereiche (7B) kontaktiert, die in Vertiefungen eingefüllt werden, die an gegenüberliegenden Seiten der Halbleiterschichtstruktur (4A) geätzt werden. Anschließend wird das Platzhaltermaterial (3, 5) selektiv herausgeätzt und durch das elektrisch leitfähige Gate-Elektrodenmaterial (10) ersetzt.

10

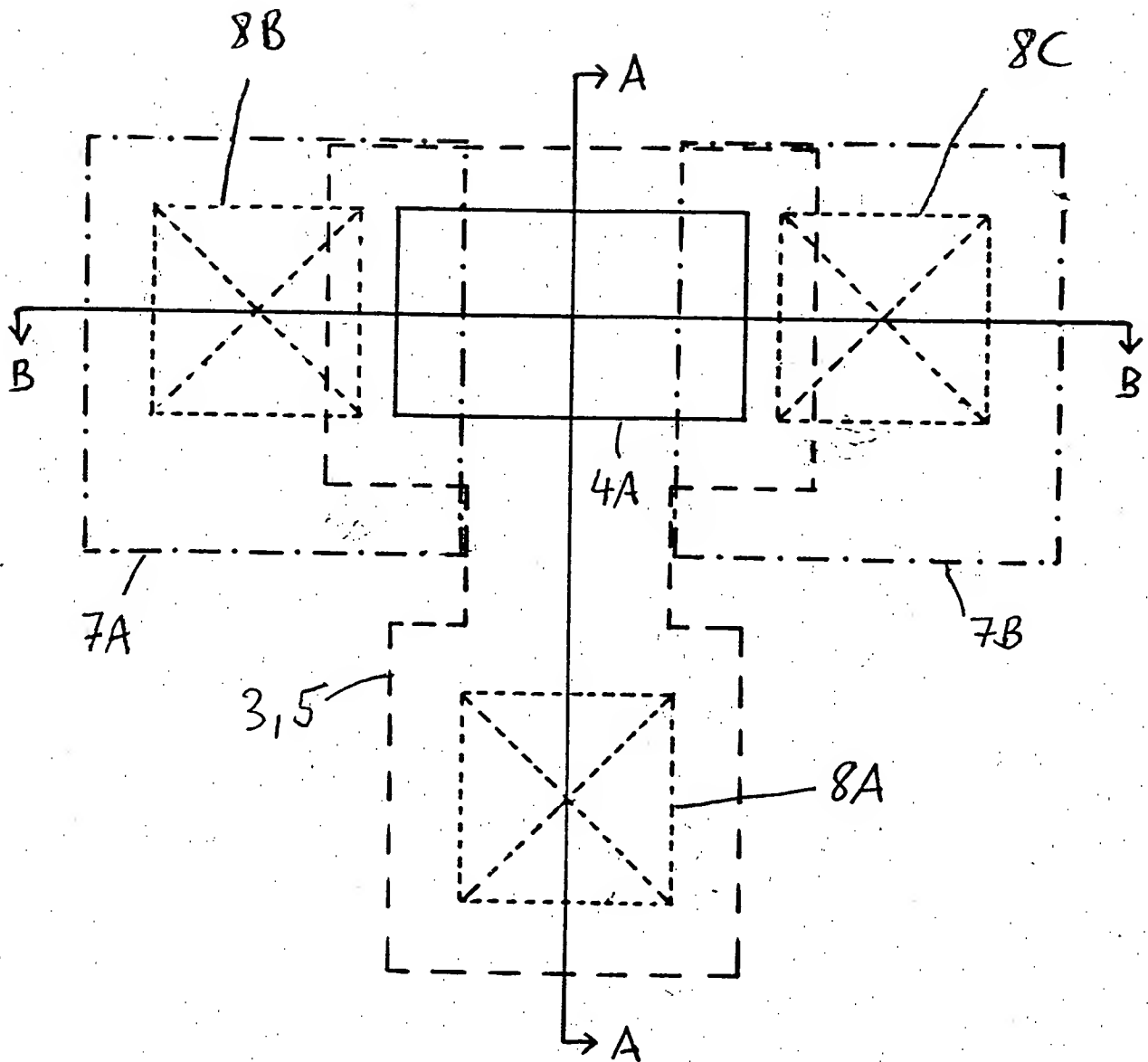
15

Fig. 5

11.5.05.99



- Halbleiterschichtstruktur
- Strukturierung der platzhaltenden Schichten
- .-.- Ätzung der Vertiefungen
- Kontaktlötlötter



- Halbleiterschichtstruktur
- Strukturierung der platzhaltenden Schichten
- · - · - Ätzung der Vertiefungen
- Kontaktlötlöcher

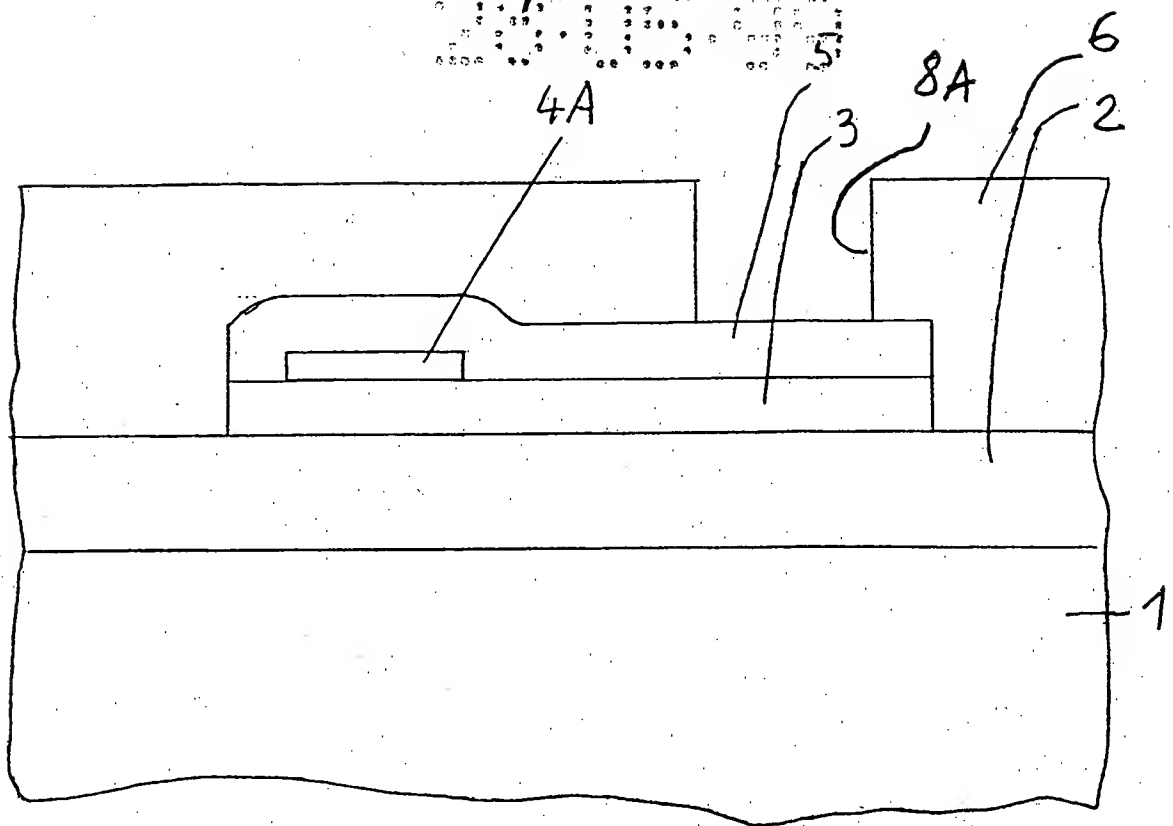


Fig. 4

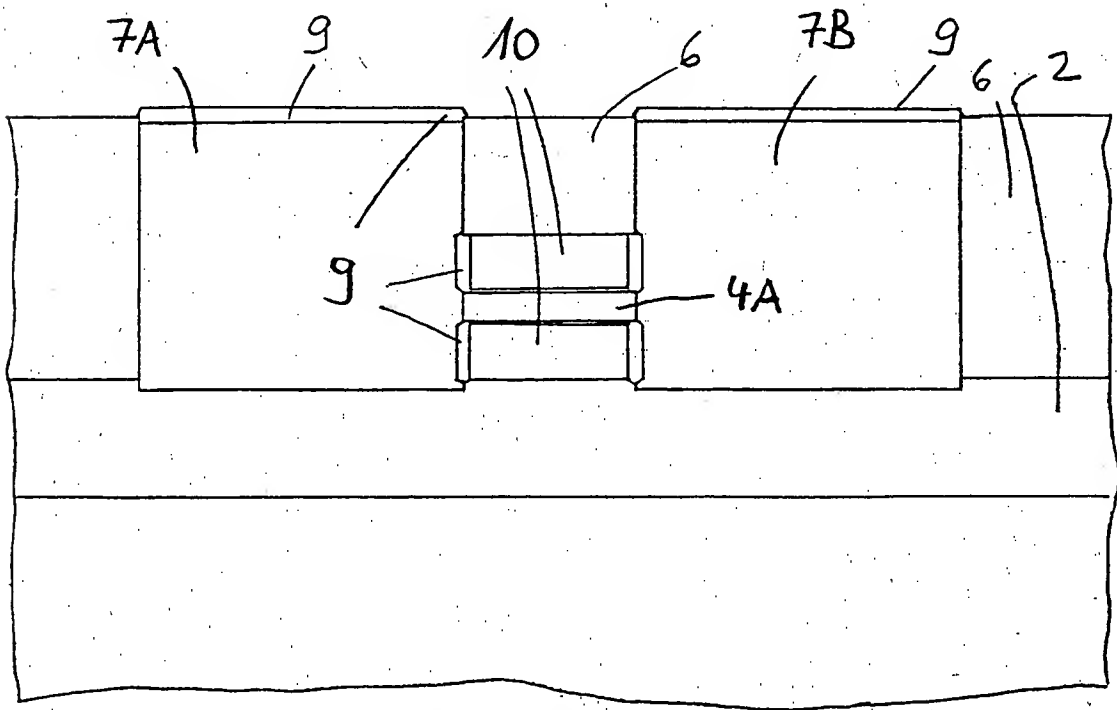


Fig. 5